

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2002-176062**
(43)Date of publication of application : **21.06.2002**

(51)Int.CI.
G02F 1/1368
G02F 1/1362
G09F 9/30
H01L 21/28
H01L 21/3205
H01L 21/336
H01L 29/786

(21)Application number : **2001-263785** (71)Applicant : **MATSUSHITA ELECTRIC IND CO LTD**
(22)Date of filing : **02.02.2001** (72)Inventor : **KAWASAKI KIYOHIRO**

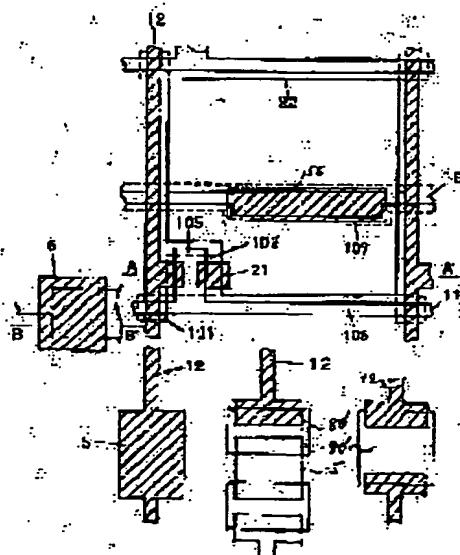
(30)Priority
Priority number : **2000027457** Priority date : **04.02.2000** Priority country : **JP**
Priority number : **2000176435** date : **13.06.2000** country : **JP**

(54) METHOD FOR PRODUCING SUBSTRATE FOR DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problems of five-mask-process for channel etching TFT that overetching takes place on the drain electrode at the time of forming an opening, the characteristics of a transistor are susceptible to deterioration through formation of a passivation insulation layer, the production process is long and the process cost is not reduced.

SOLUTION: A source line and a drain line are formed by depositing a heat resistant metal and an aluminum alloy which can be anodized. A passivation insulation layer is eliminated by anodizing the surface of these lines and converting an amorphous silicon layer containing impurities into a silicon oxide



layer utilizing a photomask. A process for making insular a semiconductor layer and a process for forming an opening are rationalized by forming an extra insulation layer on an exposed scanning line.

LEGAL STATUS

[Date of request for examination] 31.08.2001

[Date of sending the examiner's decision of rejection] 10.01.2006

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-176062

(P2002-176062A)

(43)公開日 平成14年6月21日 (2002.6.21)

(51)Int.Cl.
H 01 L 21/336
G 02 F 1/1362
1/1368
G 09 F 9/30 330
338

識別記号

F I
G 02 F 1/1362
1/1368
G 09 F 9/30 330 Z 5 C 094
338 5 F 033
H 01 L 21/28 301 L 5 F 110

コード(参考)

2 H 092

4 M 104

審査請求 有 請求項の数10 OL (全32頁) 最終頁に続く

(21)出願番号 特願2001-263785(P2001-263785)
(62)分割の表示 特願2001-26229(P2001-26229)の分
割
(22)出願日 平成13年2月2日 (2001.2.2)
(31)優先権主張番号 特願2000-27457(P2000-27457)
(32)優先日 平成12年2月4日 (2000.2.4)
(33)優先権主張国 日本 (JP)
(31)優先権主張番号 特願2000-176435(P2000-176435)
(32)優先日 平成12年6月13日 (2000.6.13)
(33)優先権主張国 日本 (JP)

(71)出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地
(72)発明者 川崎 清弘
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(74)代理人 100101823
弁理士 大前 要

最終頁に続く

(54)【発明の名称】 表示装置用の基板の製造方法

(57)【要約】

【課題】 チャネルエッチ型TFTの5枚マスクプロセスでは開口部形成時にドレイン電極上で過食刻が発生する。またバシベーション絶縁層の形成でトランジスタ特性が劣化し易い。加えて製造工程が長くプロセスコストが下がらない。

【解決手段】 ソース配線とドレイン配線を陽極酸化可能な耐熱金底とアルミニウム合金の積層とし、その表面を陽極酸化するとともに、不純物を含む非品質シリコン層も光マスクを利用して酸化シリコン層に変換することでバシベーション絶縁層を不要とする。また露出した走査線上に新たに絶縁層を形成することで半導体層の島化工程と絶縁層への開口部形成工程を合理化する。

